

DERWENT-ACC-NO: 1998-320290

DERWENT-WEEK: 199828

COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: Printed circuit board equipped with a pattern
for preventing faults when plating a recognition mark
NoAbstract - NoAbstract

INVENTOR: NAM, W S

PATENT-ASSIGNEE: ORION ELECTRIC CO LTD[ORION]

PRIORITY-DATA: 1995KR-0045414 (November 30, 1995)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE
PAGES MAIN-IPC		
KR 97032310 A	June 26, 1997	N/A
H05K 003/00		000

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO
APPL-DATE		
KR 97032310A	N/A	1995KR-0045414
November 30, 1995		

INT-CL (IPC): H05K003/00

ABSTRACTED-PUB-NO:

EQUIVALENT-ABSTRACTS:

TITLE-TERMS: PRINT CIRCUIT BOARD EQUIP PATTERN PREVENT FAULT PLATE
RECOGNISE
MARK NOABSTRACT NOABSTRACT

DERWENT-CLASS: V04

EPI-CODES: V04-Q05; V04-R;



Dynamic Search: INPADOC/Family and Legal Status, Derwent World Patents Index

Records for: PN=KR 97032310

save as alert...

save strategy only...

Output

Format: Long

Output as: Browser

display / send

Modify

refine search

back to picklist

select
all: none

Records 1 of 1 In long Format

☐ 1. 2/34/1 (Item 1 from file: 351)

011903380

WPI Acc No: 1998-320290/ 199828

Printed circuit board equipped with a pattern for preventing faults when plating a recognition mark NoAbstract - NoAbstract

Patent Assignee: ORION ELECTRIC CO LTD (ORIO-N)

Inventor: NAM W S

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
KR 97032310	A	19970626	KR 9545414	A	19951130	199828 B

Priority Applications (No Type Date): KR 9545414 A 19951130

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
KR 97032310	A			H05K-003/00	

Derwent Class: V04

International Patent Class (Main): H05K-003/00

Derwent WPI (Dialog® File 351): (c) 2003 Thomson Derwent. All rights reserved.

©1997-2003 Dialog, a Thomson business - Version 2.3

대한민국특허청(KR)
공개특허공보(A)

⑤Int. Cl.⁸
H 05 K 3/00

제 2339 호

⑬공개일자 1997. 6. 26

⑪공개번호 97-32310

⑭출원일자 1995. 11. 30

⑫출원번호 95-45414

심사청구: 없음

⑯ 발 명 자 남 우 식 대구광역시 중구 남산 3동 2235-10 7/3

⑰ 출 원 인 오리온전기 주식회사 대표이사 엄 길 용

경상북도 구미시 공단동 165번지 (우: 730-030)

⑱ 대리인 변리사 이 권 회 이 정 훈

(전 2 면)

② 인 식 마 크 의 도 금 불 량 방 지 용 패 턴 을 구 비 하 는 인 쇄 회 로 기 판

③ 요 약

본 발명은 인쇄회로 기판에 관한 것으로, 주변의 접촉 패드나 인식패턴 등의 패턴과 동떨어진 부분에 형성되어 있는 인식마크의 주변에 도넛 형상의 랜드 패턴을 형성하여 접촉 패드들의 전기적 접촉 특성을 향상시키고 인식마크의 변색 등을 방지하기 위하여 인식마크와 접촉 패드 면적이 금속물질로 도금하는 전기 도금 공정시 인식마크가 전하 집중에 의해 과도금되어 외부의 충격에 의한 역삼각 형상으로 형성되는 것을 방지하여 소자의실장 공정의 신뢰성 및 공정수율을 향상시킬 수 있다.

특허청구의 범위

1. 내부에 형성된 도전배선과 표면에 형성된 인식마크를 구비하여 소자가 실장되는 인쇄회로 기판에 있어서, 상기 도전배선을 외부 단자와 연결시키는 접촉접촉 패드들의 표면에 금속물질을 도금하는 공정시 전하의 집중이 일어나는 인식마크의 주변에 랜드 패턴을 구비하는 인쇄회로 기판.

2. 제 1 항에 있어서, 상기 랜드 패턴이 도넛 형상으로 형성되어 있는 것을 특징으로하는 인쇄회로 기판

3. 제 1 항에 있어서 상기 랜드 패턴이 인식마크와 3mm 이하의 간격으로 떨어져 있어 도금 공정시 인식마크로의 전하 집중을 방지하는 것을 특징으로하는 인쇄회로 기판.

※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

도면의 간단한 설명

제 3 도는 본 발명에 따른 인쇄회로 기판의 인식마크의 평면도

제 3 도

